

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 3 日
Date of Application:

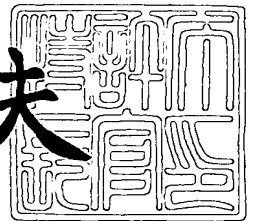
出 願 番 号 特 願 2 0 0 2 - 2 6 8 0 1 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 6 8 0 1 9]

出 願 人 株式会社アルバック
Applicant(s):

2 0 0 3 年 8 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 6 7 8 6

【書類名】 特許願

【整理番号】 K020194

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/203

H01L 21/285

C23C 14/06

C23C 14/34

【発明者】

【住所又は居所】 静岡県裾野市須山 1 2 2 0 - 1 株式会社アルバック
半導体技術研究所内

【氏名】 李 命久

【発明者】

【住所又は居所】 静岡県裾野市須山 1 2 2 0 - 1 株式会社アルバック
半導体技術研究所内

【氏名】 岡村 吉宏

【発明者】

【住所又は居所】 静岡県裾野市須山 1 2 2 0 - 1 株式会社アルバック
半導体技術研究所内

【氏名】 富沢 和之

【発明者】

【住所又は居所】 静岡県裾野市須山 1 2 2 0 - 1 株式会社アルバック
半導体技術研究所内

【氏名】 豊田 聡

【発明者】

【住所又は居所】 静岡県裾野市須山 1 2 2 0 - 1 株式会社アルバック
半導体技術研究所内

【氏名】 五戸 成史

【特許出願人】

【識別番号】 000231464

【住所又は居所】 神奈川県茅ヶ崎市萩園 2 5 0 0 番地

【氏名又は名称】 株式会社アルバック

【代理人】

【識別番号】 100060025

【弁理士】

【氏名又は名称】 北村 欣一

【電話番号】 03-3503-7811

【選任した代理人】

【識別番号】 100099287

【弁理士】

【氏名又は名称】 吉岡 正志

【手数料の表示】

【予納台帳番号】 012449

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108838

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】 バイアススパッタ成膜方法及びバイアススパッタ成膜装置****【特許請求の範囲】**

【請求項 1】 カソード電圧及び基板バイアス電圧の両電圧を印加して薄膜を形成するバイアススパッタ成膜方法において、前記両電圧のうちカソード電圧のみを印加した状態で、凹凸が形成された基板上に薄膜を形成した後、該凹凸の側壁部および底部の各表面に形成された前記薄膜の膜厚が略均一となるように、前記基板バイアス電圧を変化させながらスパッタ成膜を行うことを特徴とするバイアススパッタ成膜方法。

【請求項 2】 ターゲットから飛来するスパッタ粒子が、前記基板に対して略垂直に入射するようにしたことを特徴とする請求項 1 に記載のバイアススパッタ成膜方法。

【請求項 3】 前記薄膜を、バリア層または電解メッキ用シード層に用いることを特徴とする請求項 1 または 2 に記載のバイアススパッタ成膜方法。

【請求項 4】 基板電極に対し出力可変の交流または直流電源と制御系とを備え、前記制御系は、あらかじめ、カソード電圧を所定電圧とすると共に基板・ターゲット間を所定距離に離間したときの基板バイアス電圧値と該基板バイアス電圧値に対応する前記各表面の薄膜の膜厚分布とを参照データとして記憶し、前記各表面の成膜時に、前記膜厚を略均一にする基板バイアス電圧値を前記参照データから選択して成るバイアス電圧関数により、前記電源の出力を制御することを特徴とするバイアススパッタ成膜装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、バイアススパッタ法による成膜方法及び成膜装置に関し、特に、半導体基板の表面に形成された、コンタクトホール、スルーホール、配線用溝の側壁や底部に略均一な膜厚で、バリア層や電解メッキ成膜時に使用されるシード層を形成する薄膜形成方法に関する。

【0002】

【従来の技術】

半導体分野においてその微細化が進み、基板上に形成されたホールや配線用溝のアスペクト比（深さ／ホール径又は溝幅）は益々大きくなる傾向にある。通常、銅を使用した半導体配線ではこのようなホールや溝の内側（側壁や底面部分）に対し、数十～数百 Å の均一な膜厚を持つバリア層や電解メッキ用のシード層を形成したいという要求がある。特に、バリア層に関しては、比抵抗の大きな導電性材料が使用されるため、拡散防止効果が維持できる最小の膜厚で、ホールや溝の内壁面全体に形成されることが理想的である。しかも、コストやプロセスの安定性から、特にスパッタ成膜法に対してこのような要求が大きい。

【0003】

従来、スパッタ成膜法において、基板表面の凹凸に対する被覆性を向上する手段として、バイアススパッタ法が知られている。ターゲットと基板電極の両方に直流電力や高周波電力を供給し、基板電極上に載置された基板表面にバイアス電圧を印加しつつ、薄膜を形成する方法である。

【0004】

この種のバイアススパッタ法として、例えば、特許文献1や特許文献2に示すものが知られている。これらは、基板に対してバイアス電圧を発生するように構成されていて、逆スパッタ効果によりホール開口部でのオーバーハングの形成や成長を防ぐと共に、ホール底部に堆積した成膜材料を再スパッタし、側壁部へ付着させることにより、ホール内壁部へ均一な成膜を行うものである。

【0005】

ところで、上記したようにホールや配線溝は、高アスペクト比を持ち微細かつ複雑形状であるが、これらに対しバリア膜を形成する場合、確実な拡散防止効果を得るために、ホールや配線溝の内側壁や底部を含む基板全面に亘ってごく薄い被覆膜を均一な厚さで形成する必要がある。

【0006】

本発明者らの検討によれば、上記従来技術のように一定の基板バイアス電圧のみ用いて成膜した場合、アスペクト比が約5以下のホールや配線溝等を持つ基板に対しては有効なものの、更にアスペクト比が大きくなると、再スパッタ粒子が

付着する場所がホールや溝内の側壁部のある限定された場所に集中する。つまり、側壁部に形成された再スパッタ粒子による被覆膜は、ある膜厚分布を持って形成されるため、ホールや溝の内壁面全体にわたり膜厚を均一化することが困難になることが判明した。具体的には、基板バイアス電圧の大きさ、ターゲットから飛来するスパッタ粒子の垂直成分量、形成されるオーバーハングの大きさ等により異なった膜厚分布が形成されることが判明した。

【0007】

さらに、被覆性の改善策として、例えば、特許文献3に示されるように薄膜形成初期には、バイアス強度を強くし、成膜終期にはバイアス強度を弱くするようなバイアス制御方法が知られている。そこで、上記コンタクトホールや配線溝等の側壁部分の被覆性改善に適用することを試みた。しかしながら、このものは、成膜初期にバイアス強度を増大させるため、生成されるイオンにより、下地層が強大なエネルギーで叩かれ、大きなダメージを招き、半導体プロセスには適用できないことも判明した。

【0008】

【特許文献1】

特開平8-264487号公報（第5-10頁、図2-3）

【特許文献2】

特許2602276号公報（第4-6頁、第1図及び第13図）

【特許文献3】

特許2711503号公報（第2-3頁、第1図）

【0009】

【発明が解決しようとする課題】

本発明は、上記問題点に鑑み、特に、高アスペクト比を持つコンタクトホールやスルーホール、配線溝等の内壁面に対して良好な被覆特性を持つ薄膜形成方法および薄膜形成装置を提供することを課題としている。

【0010】

【課題を解決するための手段】

上記課題を解決するため、本発明は、カソード電圧及び基板バイアス電圧の両

電圧を印加して薄膜を形成するバイアスパッタ成膜方法において、カソード電圧のみを印加した状態で、凹凸が形成された基板上に薄膜を形成した後、この凹凸の側壁部および底部の各表面に形成された薄膜の膜厚を略均一とするように、基板バイアス電圧を変化させながらスパッタ成膜を行うものである。

【0011】

ここで、カソード電圧のみを印加して初期成膜を行うのは、当初から基板バイアス電圧を印加した際の下地層の損傷や劣化などを防止するためである。

【0012】

従って、印加する基板バイアス電圧も、好ましくは、バイアスパッタ初期は低いことが好ましい。但し、初期成膜で十分な膜厚が得られる条件であれば、低い基板バイアス電圧からスタートする必要はない。

【0013】

ところで、バイアスパッタ成膜方法によりコンタクトホールなどの凹凸部を持つ基板表面へ成膜を行う場合、側壁表面及びホール底部の表面での膜厚分布は印加する基板バイアス電圧の強度と相関する傾向がある。この相関は、側壁表面の高さ方向及びホール底部表面で顕著である。従って、側壁表面の高さ方向における被覆膜の膜厚差を解消し得るバイアス電圧関数（基板バイアス電圧、印加時間等が変数となる）が存在するはずであり、このような関数により基板バイアス電圧の増減を制御することにより、凹凸部の側壁表面の高さ方向に形成される被覆膜の膜厚差を解消してこれを均一にすることが可能となる。

【0014】

同様に、ホール底部表面での基板中心側と基板端縁側とにおける被覆膜の膜厚差を解消し得るバイアス電圧関数が存在するはずであり、この関数で基板バイアス電圧の増減を制御することで凹凸部の底部裏面に形成される被覆膜の膜厚差を解消することができる。

【0015】

さらに、側壁部分の高さ方向と底部表面での膜厚の不均一性をそれぞれ個別に解消するばかりではなく、上記の各バイアス電圧関数を適宜選択することにより、側壁面と底部表面の両表面の膜厚差を同時に解消することも可能である。

【0016】

これにより、微細かつ複雑形状な凹凸を有する被覆面であっても、基板表面全体に亘って均一な膜厚の被覆膜の形成が可能となる。

【0017】

この場合、さらに、ターゲットから飛来するスパッタ粒子を略垂直に入射させることで、ホール等の開口部に発生するオーバーハングの形成が抑制され、上記凹凸の底部に相当量の堆積膜を確保できる。このため、この底部の堆積膜を成膜源としてバイアススパッタ成膜を行えば、下地膜などにダメージを与えることなく、側壁への成膜を確実に行うことができるとともに、上記均一成膜が可能とするバイアス電圧関数の選択範囲も広がる。

【0018】

なお、上記したスパッタ粒子の略垂直入射は、その一例として、ターゲットと基板との距離を、用いるウェハ直径を上回る離間距離に設定し、且つ、スパッタされた粒子の平均自由行程がこの離間距離を上回るような真空度を用いてスパッタ成膜することで実現できる。また、基板とターゲットの間にコリメータを挿入する場合もあるが、この方法は、コリメータそのものがスパッタされ、この結果、ダストの発生源ともなるので注意が必要である。

【0019】

また、このように形成された被覆膜は、良好な被覆特性、特に凹凸の内側表面（側壁表面や底部表面）で略均一な膜厚分布を備えているため、銅配線用のバリア層や電解メッキ成膜時のシード層として有用である。

【0020】

これにより、拡散防止機能を有する最小の膜厚でバリア層を形成すれば、アルミニウムに比べて電気抵抗の小さな銅配線を使用する利点を効率よく活用することができる。また、電解メッキ用シード層として使用すれば、一様なメッキ成膜が可能となり、配線中のボイドの発生を抑制できる。

【0021】

そして、上記したバイアススパッタ成膜方法を行うため、基板電極に対し出力可変の交流または直流電源と制御系とを備えるバイアススパッタ成膜装置を構成

し、これに搭載する制御系には、あらかじめ、カソード電圧を所定電圧とすると共に基板・ターゲット間を所定距離に離間したときの基板バイアス電圧値とこの基板バイアス電圧値に対応する各表面の薄膜の膜厚分布とを参照データとして記憶させ、各表面の成膜時に、膜厚を略均一にする基板バイアス電圧値を参照データから選択してこれを変数とするバイアス電圧関数とし、この関数により電源の出力を制御するようにした。

【0022】

なお、ここで用いるバイアス電圧関数とは、数学的な関数を意味するのではなく、基板バイアス電圧値とこの基板バイアス電圧値に対応する各表面の薄膜の膜厚分布とを参照データとして記憶させてデータベース化し、これに従って、膜厚を補正するように基板バイアス電圧を適宜変化させるという意味であり、バイアスパッタ成膜の途中において、適当な時間間隔中に基板バイアス電圧をゼロにすることも含んでいる。

【0023】

さらに、このようなバイアスパッタ成膜時、カソード電圧を適宜変更し入射するスパッタ粒子の量を制御することにより、さらに良好な被覆特性が得られることはもちろんである。

【0024】

【発明の実施の形態】

図1は本発明のバイアスパッタ成膜方法を実施するための成膜装置の略断面図である。成膜室1には、その側壁に図外の真空排気系に連なる排気口2とスパッタガス導入口3とが設けられ、また、その内部にスパッタカソード4と基板ステージ5とが配置され、これらのそれぞれに載置されたターゲット6とシリコン基板7とが互いに対向するように構成されている。このとき、ターゲット6と基板7との離間距離は、基板7の直径(200mm)以上とする。

【0025】

さらに、スパッタカソード4は装置外部のカソード電源8と接続され、基板ステージ5は装置外部の交流または直流電源9に接続され、さらに電源9は基板バイアス電圧を制御するための制御系10に接続されている。また、装置外部のカ

ソード4の直上位置には、モータ11により回転駆動可能なホルダ11aが配置され、該ホルダ11a上に設けられたマグネット12a、13a（N極又はS極）及び12b、13b（S極又はN極）がスパッタ成膜中に回転してマグネトロンスパッタ成膜を行えるようにしている。なお、基板ステージ5と電源9とを接続する接続部14は、絶縁体15を介して成膜室1内に貫入する構造となっている。

【0026】

ところで、半導体基板7には導電材料の配線を行うために、基板表面に形成された絶縁膜中に、図2に示すような微小な凹形状のコンタクトホール20を設ける。そして、銅等の配線材料が絶縁膜であるSiO₂中の内部に拡散することを防ぐために、TaやTiN、WN等の比較的電気抵抗の大きい導電性材料（バリアメタル又は拡散防止膜）を被覆して、半導体の性能劣化を防止している。

【0027】

このようなバリアメタル膜は、良好な被覆精度、即ち、薄くかつ均一な膜厚を保ってホールの内壁表面全体を被覆することが必要である。そして、図1に示す成膜装置は、バイアススパッタ法を用いて、コンタクトホールの内壁部分にTaから成るバリアメタル膜を成膜するためにも用いることができる。

【0028】

ところで、バイアススパッタ法を用いる際の基板バイアス電圧、即ち、図1において電源9より、接続部14を介して基板ステージ5に印加される電力が上記した被覆膜の形成に重要な影響を与える。例えば、基板バイアス電圧が不足している場合、図2（a）に示すようにホール20の側壁部分21に形成される被覆膜は所望より小さい膜厚で形成される傾向にあり、また、基板バイアス電圧が過剰の場合、図2（b）に示すように、ホール20の開口部22にオーバーハングと称される突起部を形成することが多い。このオーバーハングは、図1の装置のように、ターゲット6と基板7との離間距離を大きくして、基板表面へ入射するスパッタ粒子の垂直成分を多くすることである程度抑制できるものの、基板バイアス電圧要因も大きく寄与し、図2（c）に示す理想的なバリアメタル形状を得るには、基板バイアス電圧を慎重に調整することが重要となる。

【0029】

ところで、図2において側壁部分21に形成される被覆膜の膜厚 d_3 と、基板表面に形成される膜厚 d_1 との比で示される値をサイドカバレジと定義し、また底部23に形成される被覆膜の膜厚 d_4 と膜厚 d_1 との比をステップカバレジと定義し、開口部22の特徴的な膜厚 d_2 と膜厚 d_1 との比をオーバーハングと定義すれば、これらで示される被覆膜の特徴的な値は、基板バイアス電圧の強度と大きく相関する傾向にある。

【0030】

その一例を示したものが、図3で示すグラフ図である。ここでバイアス発生用電源は高周波電源を用いたものであり、縦軸はオーバーハング及びステップカバレジの値を示している。基板バイアス供給電力が0Wのとき、即ち、通常のスパッタ成膜においては、オーバーハング及びステップカバレジの値は非常に小さく、その被覆性能に不安がある。そして、基板バイアス供給電力を増加させていくと、ステップカバレジが増加して被覆性能が向上する一方でオーバーハングも増大するため、単純な基板バイアス供給電力の増大だけでは図2(c)に示す理想形状は達成できない。

【0031】

上記したようなバイアス電圧と被覆膜の膜厚との相関をさらに詳細に検討したものを図4に示す。図4(a)及び(b)は、基板7の端縁側に位置するホール20の上面図及び断面図であり、図4(b)に示した最小サイドカバレジ形成部分、即ち、側壁部の膜厚分布において、膜厚が最小の位置の、底部23からの高さ d_5 は、図4(c)に示すように基板バイアス供給電力と相関が認められる。図4(c)から、最小サイドカバレジの高さ d_5 は、基板バイアス供給電力の増加に伴って開口部22方向に移動することが分る。

【0032】

さらに、基板バイアス供給電力と被覆膜の膜厚との相関について別の検討結果を図5に示す。図5(a)では、基板端縁部側に位置するホール20において、その基板端縁部側の側壁部分における、開口部22近傍位置、最小サイドカバレジ形成位置、底部23近傍位置をそれぞれ、50a、50b、50cとして表す

。また、ホール 20 の基板中心側の側壁部分における、開口部 22 近傍位置、最小サイドカバレッジ形成位置、底部 23 近傍位置をそれぞれ、51a、51b、51c として表す。これらの側壁部分各位置 50a、50b、50c、51a、51b、51c におけるサイドカバレッジと基板バイアス供給電力との関係を図 5 (b) で示す。図 5 (b) から、上記側壁部分各位置のサイドカバレッジと基板バイアス供給電力との相関が認められる。これにより、基板バイアス供給電力の増加に伴い、各地点において全体的に膜厚が増加すること、ホール内の基板端縁側及び基板中心側の側壁部分に対するサイドカバレッジ値が、100～250W の電力範囲内で実用的に近い値を示すことが分る。また好ましくは、150～200W の電力範囲内ではほぼ一致するような値を示すことも分る。

【0033】

そして、上記の図 4 及び図 5 による詳細検討により、側壁部分の高さ方向における被覆膜の膜厚差、及び、側壁部分の基板中心側と基板端縁側とにおける被覆膜の膜厚差、即ち、膜厚差の非対称性が基板バイアス供給電力と相関し、基板バイアス供給電力を制御することで、これらの膜厚差が解消できることが分る。

【0034】

本発明においては、下記実施例に示すように、基板バイアス供給電力の制御方法としてモジュレーション技術、即ち、予め、決められた条件におけるホール内の膜厚分布を求めておきデータベース化しておく。次にこのデータベースを用いて、各地点において膜厚差を解消するのに最適な基板バイアス供給電力を印加し、上記したような被覆膜の膜厚差を解消することを実現した。

【0035】

なお、本実施の形態においては、被覆対象をコンタクトホールとしたが、本発明はこれに限定されず、基板上の凹凸形状によって生じる側壁部分であれば、スルーホールや配線溝あるいは単純な段差形状に対して適用可能であることは言うまでもない。

【0036】

【実施例】

図 1 の成膜装置を用い、基板 7 上のコンタクトホールの表面に Ta 単体金属か

ら成るバリアメタル膜を成膜した。

【0037】

[実施例1] この際、バイアススパッタ成膜時に印加するRF基板バイアス供給電力を、0～350Wの範囲内で変遷する所望電力で連続的に変化させる。このようにして、バリアメタル膜を形成し、基板中心部及び基板端縁側に位置させて設けた2点のコンタクトホール（図6（a）参照）を観察する。このとき、各コンタクトホールの側壁部分および底部に形成されたバリアメタル膜の膜厚分布を、凹凸のない部分の表面に形成された膜厚に規格化させたカバレジの値（サイドカバレジ及びステップカバレジ）としてその分布状況を図6（b）に示す。

【0038】

[比較例1] RF基板バイアス供給電力を200Wに固定して印加した以外は、[実施例1]と同様にしてバリアメタル膜を形成し、その膜厚分布をカバレジの値とし、分布状況を図6（b）に示す。

【0039】

[実施例1]と[比較例1]とから、上記した基板バイアス供給電力の制御を行うことにより、カバレジの散布度を大きく低減できることが分る。これにより、ホール内の側壁部分や底部に形成される被覆膜の膜厚をウェハ全体で均一化することが可能となるため、配線の埋め込み安定性や配線材料の拡散防止効果を向上することができる。

【0040】

[実施例2] [実施例1]と同条件で形成したTa単体金属から成るバリアメタル膜の膜厚を側壁部分の高さ方向（ホール低部から開口付近）で測定したところ、図7に示すような結果が得られた。

【0041】

[比較例2] RF基板バイアス供給電力を印加せずに通常のスパッタ成膜を行った場合（RF0W）及びRF基板バイアス供給電力を300Wに固定した場合（RF300W）に形成されるTaバリアメタル膜の膜厚を側壁部分の高さ方向で測定したところ、図7に示すような結果が得られた。

【0042】

【実施例 2】を【比較例 2】と比較すると、RF 供給電力 0 W 時のような全体的なカバレジ不足や底部方向へのカバレジ悪化は認められず、また、RF 供給電力 300 W 時に開口部を塞いでしまうような規模で成長するオーバーハングも認められず、側壁部分の被覆膜の膜厚均一化が得られることが分る。

【0043】

【発明の効果】

以上の説明から明らかなように、本発明のバイアスパッタ成膜方法は、バイアスパッタ成膜法により基板上の凹凸部の側壁部分や底部表面に被覆膜を形成する際に、側壁部分の高さ方向や凹部の底部表面に生じる被覆膜の膜厚差を解消するように基板バイアス供給電力を増減させるので、その被覆膜を均一な膜厚で形成することができる。したがって、良好な膜厚分布を持つ被覆膜を形成することができ、この被覆膜をバリア層やメッキ用シード層として用いた場合に製品品質の向上が可能となる。

【図面の簡単な説明】

【図 1】 本発明のスパッタ成膜装置の略断面図

【図 2】 (a) ~ (c) バリアメタルを被覆したコンタクトホールの各種形状

【図 3】 オーバーハング及びステップカバレジと基板バイアス供給電力との相関を示すグラフ図

【図 4】

(a) 基板上のコンタクトホール位置を示す上面図

(b) 基板上のコンタクトホールの略断面図

(c) 最小サイドカバレジ高さと基板バイアス供給電力の相関を示すグラフ図

【図 5】

(a) 基板端縁部に位置するコンタクトホールの略断面図

(b) 側壁各位置のサイドカバレジと基板バイアス供給電力の相関を示すグラフ図

【図 6】

(a) 基板上の 2 点のコンタクトホール位置を示す上面図

(b) 【実施例 1】及び【比較例 1】でのカバレジ分布範囲を示すグラフ図

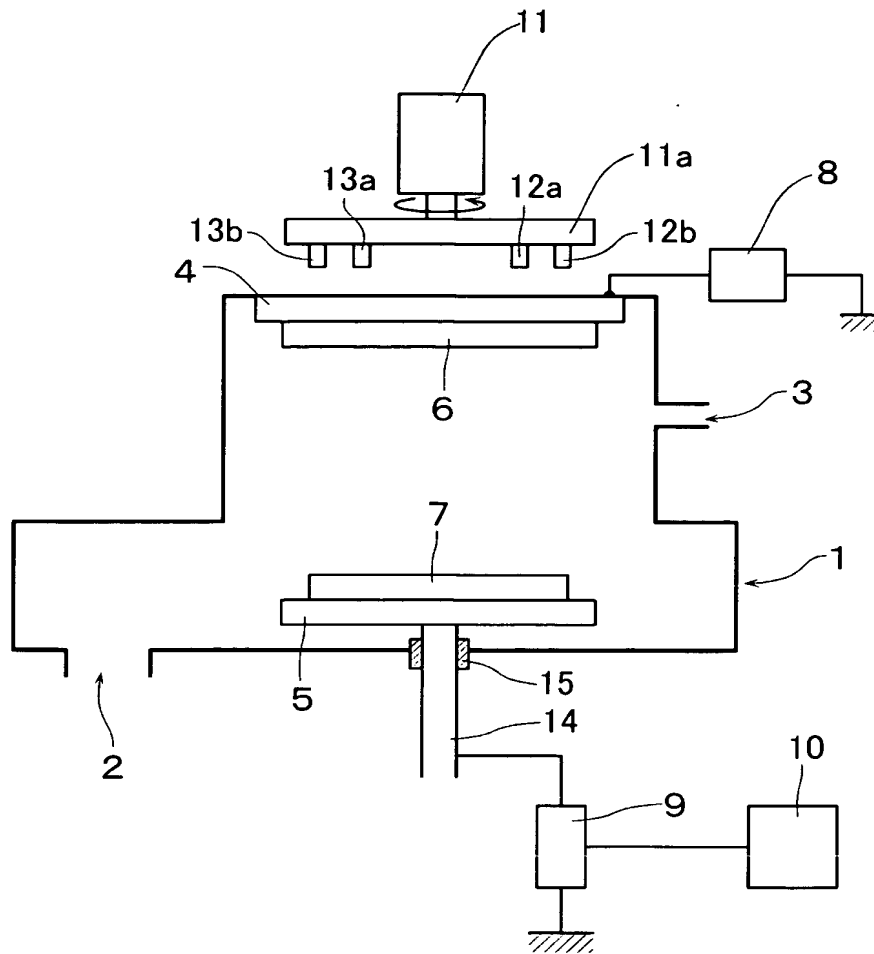
【図 7】 [実施例 2] 及び [比較例 2] でのホール側壁部分高さ方向の Ta 膜の膜厚分布を示すグラフ図

【符号の説明】

- 1 成膜室
- 2 排気口
- 3 スパッタガス導入口
- 6 ターゲット
- 7 基板
- 8 カソード電源
- 9 基板バイアス電源
- 10 制御系
- 20 コンタクトホール
- 21 側壁部分
- 22 開口部
- 23 底部

【書類名】 図面

【図 1】

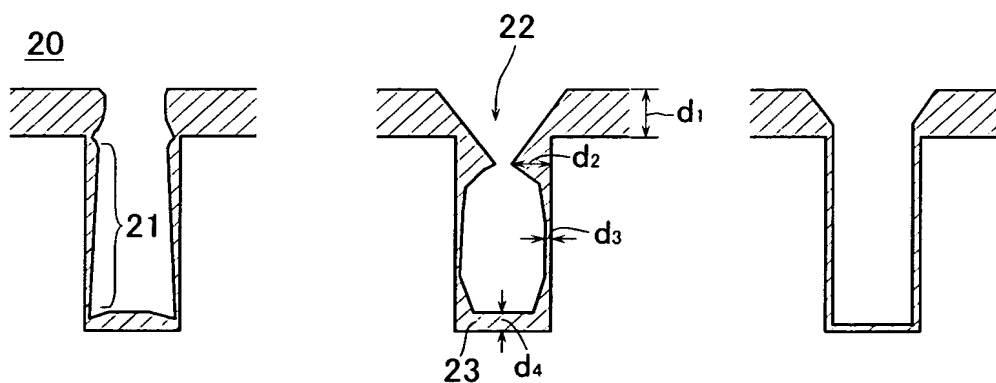


【図 2】

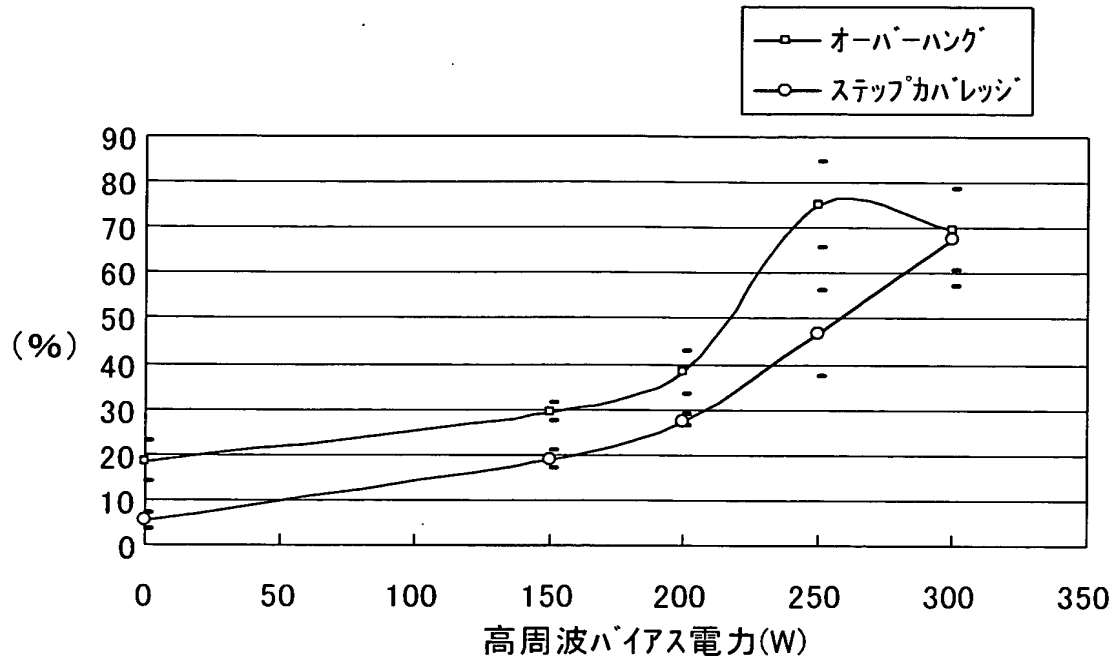
(a)

(b)

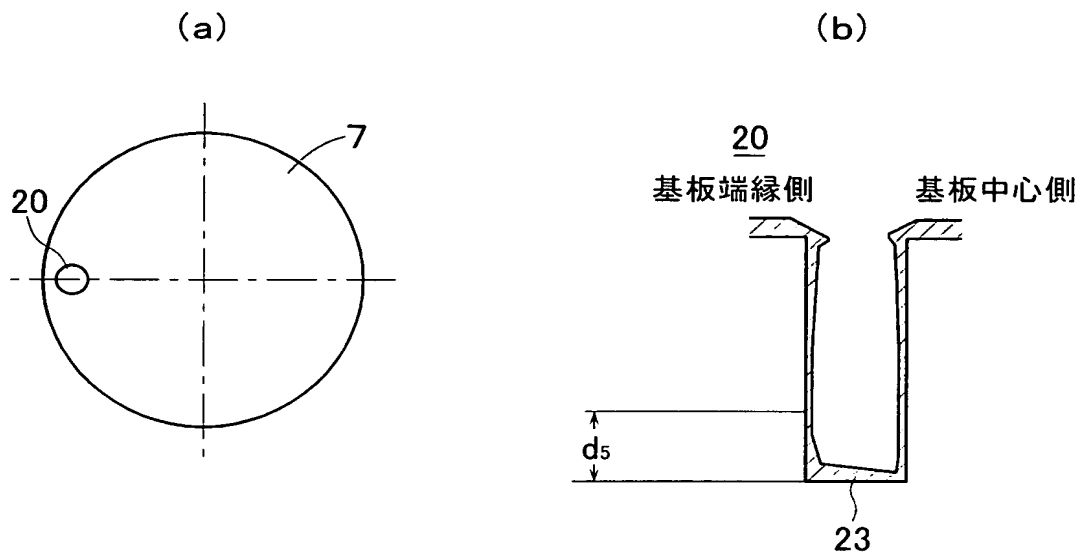
(c)



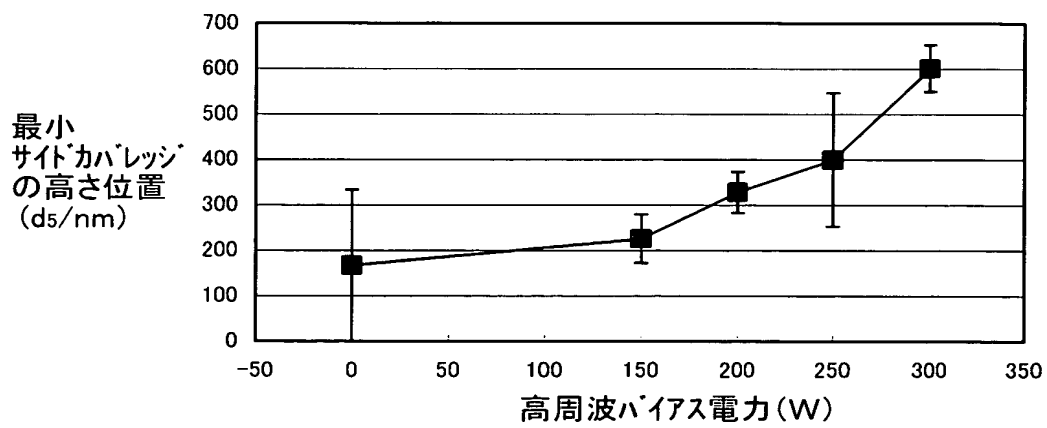
【図 3】



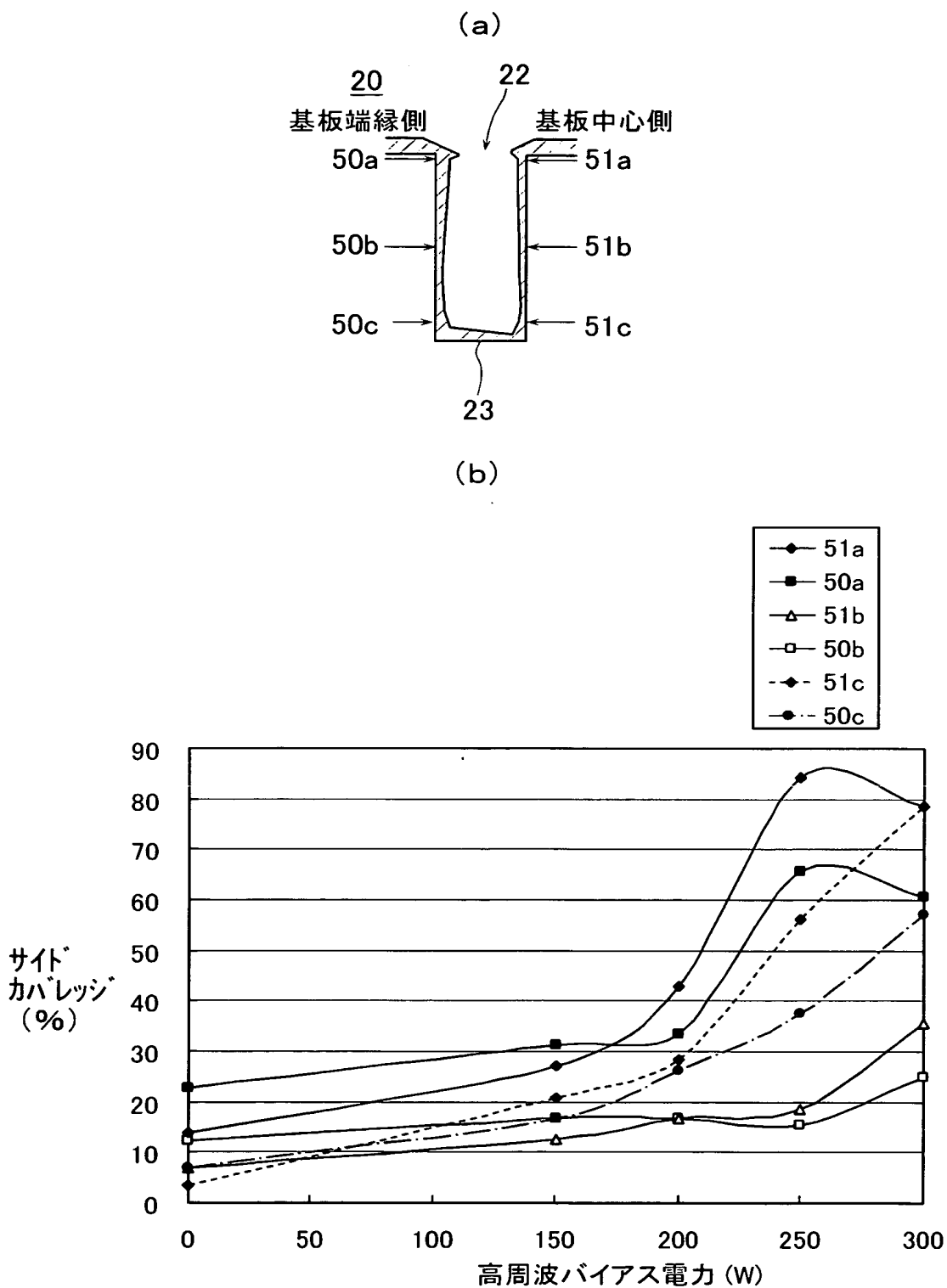
【図 4】



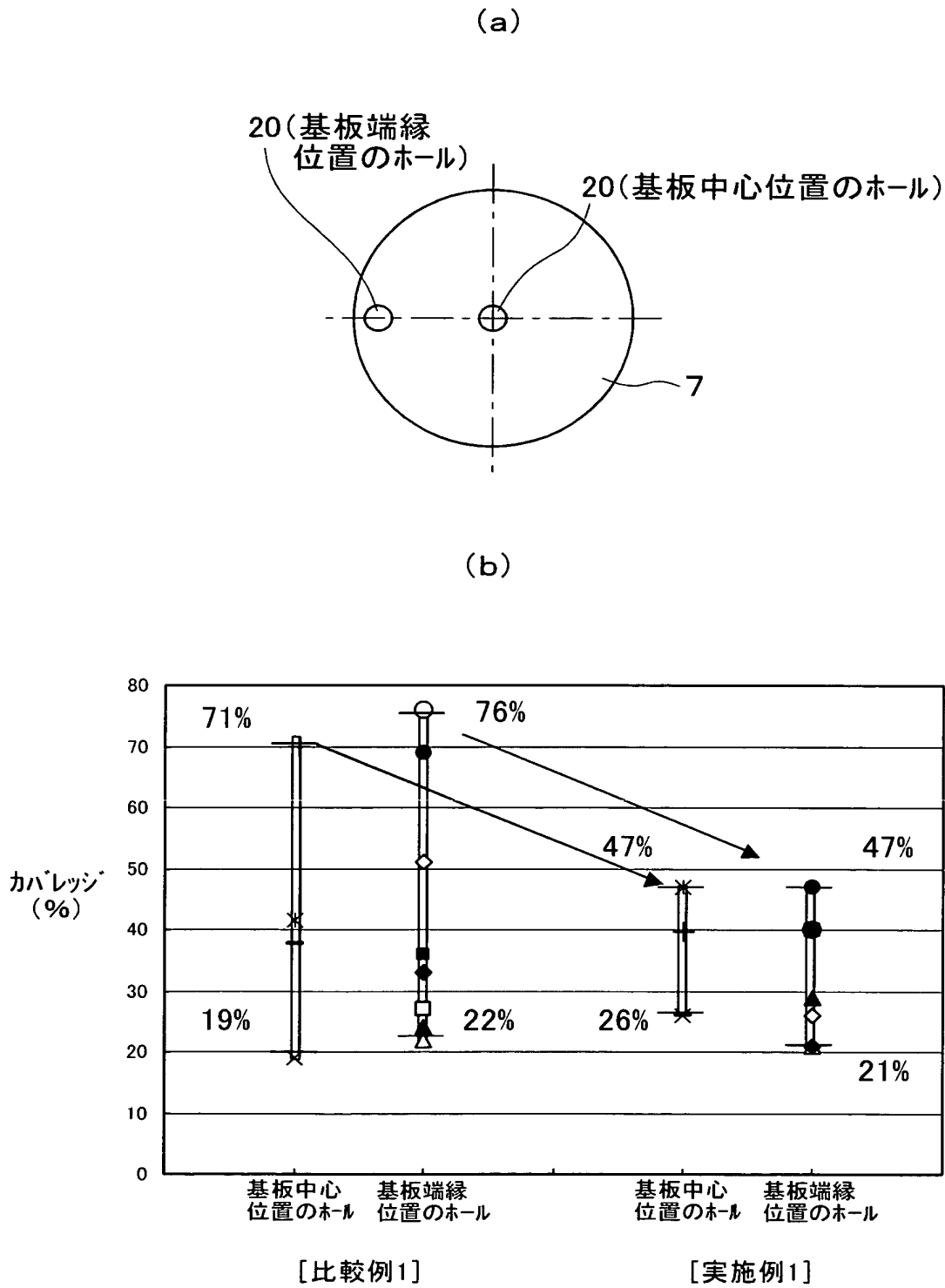
(c)



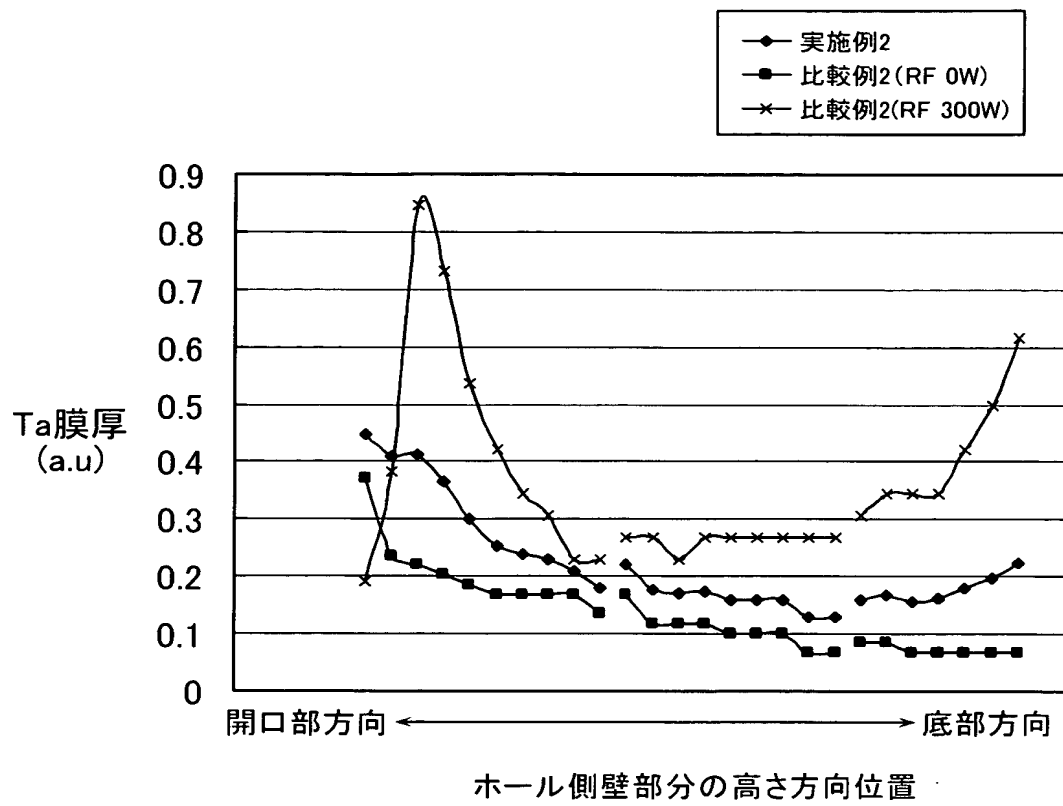
【図 5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 例えばコンタクトホールやスルーホール、配線溝など、微細かつ複雑形状の被覆面において、特にその側壁部分に対して良好な膜厚分布を持つ被覆膜を形成し得るバイアスパッタ成膜方法及び成膜装置を提供する。

【解決手段】 スパッタガス導入口 3 と真空排気口 2 と有する真空室 1 内に、互いに対向するターゲット 6 と基板 7 とをそれぞれ載置するスパッタカソード 4 と基板ステージ 5 とを設けて構成したバイアスパッタ成膜装置に、基板ステージ 5 に対し出力可変の電源 9 と制御系 10 とを接続し、制御系 10 には、あらかじめ、カソード電圧を所定電圧とすると共に基板・ターゲット間を所定距離に離間したときの基板バイアス電圧値とこの基板バイアス電圧値に対応する各表面の薄膜の膜厚分布とを参照データとして記憶させ、各表面の成膜時に、膜厚を略均一にする基板バイアス電圧値を参照データから選択してこれを変数とするバイアス電圧関数とし、この関数により電源の出力を制御するようにした。

【選択図】 図 1

特願 2 0 0 2 - 2 6 8 0 1 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 1 4 6 4]

1. 変更年月日

2 0 0 1 年 7 月 1 8 日

[変更理由]

名称変更

住 所

神奈川県茅ヶ崎市萩園 2 5 0 0 番地

氏 名

株式会社アルバック